

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants : Kazumi INOH et al.

U.S. Serial No. : Not Yet Assigned

Filing Date : September 19, 2003

For : ***SEMICONDUCTOR DEVICE WITH A CAVITY THEREIN AND A METHOD OF MANUFACTURING THE SAME***

Group Art Unit : Not Yet Assigned

745 Fifth Avenue
New York, New York 10151

EXPRESS MAIL

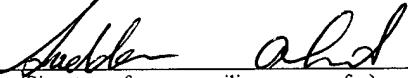
Mailing Label Number: EV205872402US

Date of Deposit: September 19, 2003

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" Service under 37 CFR 1.10 on the date indicated above and is addressed to: **Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Saddam Ahmed

(Typed or printed name of person mailing paper or fee)



(Signature of person mailing paper or fee)

CLAIM OF PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicant hereby claims priority under 35 U.S.C. §§119 and/or 120, from Japanese Application No. 2002-273409 filed September 19, 2002, a certified copy of which is enclosed.

Acknowledgment of the claim of priority and of the receipt of said certified copy
is respectfully requested.

Please charge any additional fees required for the filing of this document or credit
any overpayment to Deposit Account No. 50-0320.

Respectfully submitted,

FROMMER LAWRENCE & HAUG LLP
Attorneys for Applicants

By:


Grace L. Pan
Registration No. 39,440
Tel. (212) 588-0800
Fax (212) 588-0500

02S0613

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2002年 9月19日

出願番号

Application Number:

特願2002-273409

[ST.10/C]:

[JP2002-273409]

出願人

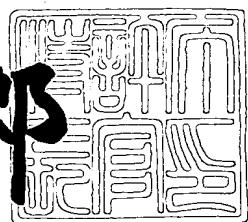
Applicant(s):

株式会社東芝

2003年 1月17日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3106320

【書類名】 特許願

【整理番号】 A000202661

【提出日】 平成14年 9月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 19

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 井納 和美

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 石内 秀美

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 松田 聰

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 佐藤 力

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 水島 一郎

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板内に形成された平板状の空洞と、

前記半導体基板の表面内に、前記空洞の面内方向における端部に接するようにして形成された素子分離領域と

を具備することを特徴とする半導体装置。

【請求項2】 半導体基板と、

前記半導体基板内に複数形成された平板状の空洞と、

隣接する前記空洞間の前記半導体基板表面内に、前記空洞に接するようにして形成された素子分離領域と

を具備することを特徴とする半導体装置。

【請求項3】 前記空洞上面の面積は、該空洞上に位置する素子領域の底面の面積よりも大きい

ことを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記素子分離領域及び前記空洞は、前記空洞上に位置する素子領域の周囲を取り囲み、前記素子領域と前記半導体基板とを電気的に分離することを特徴とする請求項1乃至3いずれか1項記載の半導体装置。

【請求項5】 1つの前記空洞上には、1つの素子領域のみが形成されることを特徴とする請求項1乃至4いずれか1項記載の半導体装置。

【請求項6】 半導体基板の第1領域上に形成された第1半導体層と、前記半導体基板の第2領域上に、空洞を介在して形成された第2半導体層と、前記第1、第2半導体層間の前記半導体基板上に、前記空洞に接するようにして形成され、前記第1、第2半導体層を電気的に分離する素子分離領域とを具備することを特徴とする半導体装置。

【請求項7】 前記空洞上面の面積は、前記空洞上の前記第2半導体層の底面の面積よりも大きい

ことを特徴とする請求項6記載の半導体装置。

【請求項8】 前記素子分離領域及び前記空洞は、前記空洞上の前記第2半導体層の周囲を取り囲み、前記第2半導体層と前記半導体基板とを電気的に分離する

ことを特徴とする請求項6または7記載の半導体装置。

【請求項9】 1つの前記空洞上には、1つの前記第2半導体層が形成される

ことを特徴とする請求項6乃至8いずれか1項記載の半導体装置。

【請求項10】 前記第1半導体層上に形成されたDRAMセルと、前記第2半導体層上に形成され、前記DRAMセルを制御するロジック回路とを更に備えることを特徴とする請求項6乃至9いずれか1項記載の半導体装置。

【請求項11】 前記素子分離領域の底面は、前記空洞の底面よりも浅く、且つ前記空洞の上面よりも深い位置にある

ことを特徴とする請求項1乃至10いずれか1項記載の半導体装置。

【請求項12】 前記素子分離領域は、前記半導体基板を酸化した酸化膜である

ことを特徴とする請求項1乃至11いずれか1項記載の半導体装置。

【請求項13】 半導体基板中に、平板状の空洞を部分的に形成する工程と

隣接する前記空洞間の前記半導体基板表面に、該空洞の面内方向端部に接するよう絶縁膜を形成して、隣接する空洞上に位置する素子領域間を電気的に分離する工程と、

前記素子領域上に半導体素子を形成する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項14】 前記絶縁膜は、前記半導体基板表面を酸化することにより形成される

ことを特徴とする請求項13記載の半導体装置の製造方法。

【請求項15】 前記空洞上面の面積は、前記空洞上の前記素子領域底面の面積よりも大きい

ことを特徴とする請求項13または14記載の半導体装置。

【請求項16】 前記絶縁膜及び前記空洞は、前記空洞上の前記素子領域の周囲を取り囲み、前記素子領域と前記半導体基板とを電気的に分離することを特徴とする請求項13乃至15いずれか1項記載の半導体装置。

【請求項17】 1つの前記空洞上には、1つの前記素子領域が形成されることを特徴とする請求項13乃至16いずれか1項記載の半導体装置。

【請求項18】 前記絶縁膜の底面は、前記空洞の底面よりも浅く、且つ前記空洞の上面よりも深い位置にあることを特徴とする請求項12乃至17いずれか1項記載の半導体装置。

【請求項19】 前記空洞は、前記半導体基板の第1領域内に形成され、前記半導体素子を形成する工程は、前記第1領域内の前記素子領域にDRAMセルを形成する工程と、

前記半導体基板の第2領域内に、前記DRAMセルを制御するロジック回路を形成する工程とを含む

ことを特徴とする請求項12乃至18いずれか1項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置及びその製造方法に関する。特に、SOI(Silicon on Nothing)基板を用いたシステムLSIに使用される技術に関するものである。

【0002】

【従来の技術】

SOI(Silicon on Insulator)は、絶縁膜上にシリコン層を形成した構造として、従来から広く知られている。このようなSOI上に半導体素子を形成することにより、半導体集積回路の低消費電力化や動作速度の高速化を図ることが出来る。SOIの形成方法としては、2枚の基板を貼り合わせる方法やSIMOX(Separation by Implanted Oxygen)法等がある。しかしSOIは、製造コストが高いこと、更には欠陥の少ないシリコン層の形成が非常に困難である、といった欠

点があった。

【0003】

そこで、近年では、空洞上にシリコン層を形成したSON構造が注目されてきている。SONは究極のSOI構造と言うことが出来、SOIと同様のメリットが得られる。現在、SONに関する研究は活発に行われており、半導体基板とシリコン層との絶縁方法（例えば特許文献1参照）、微細化可能なSONの製造方法（例えば特許文献2参照）、SONを用いたダブルゲートMOSトランジスタの製造方法（例えば特許文献3参照）、更にはSONを用いた赤外センサ（例えば特許文献4参照）等、その研究は種々に渡っている。

【0004】

SON構造を利用した従来の半導体装置の構造について、図24を用いて説明する（詳しくは、例えば特許文献5参照）。図24はSON上に形成されたMOSトランジスタの断面図である。

【0005】

図示するように、半導体基板100中に空洞110が形成されている。そして、空洞110上の素子領域AA10内に、ソース・ドレイン領域120、120が形成され、また素子領域AA10上に、ゲート絶縁膜130を介在してゲート電極140が形成されることで、MOSトランジスタが形成されている。ゲート電極130の側壁には、側壁絶縁膜170が形成されている。隣接するMOSトランジスタ同士は、互いの間に形成された素子分離領域150によって電気的に分離されている。素子分離領域150は、素子の微細化の観点から、通常はSTI (Shallow Trench Isolation) 技術によって形成される。

【0006】

このように、SONを利用することにより、半導体集積回路の低消費電力化や動作速度の高速化を図る試みが、盛んに行われている。今後、例えばDRAM(Dynamic Random Access Memory)を混載したシステムLSI等にも、SONが用いられることが予想される。

【0007】

【特許文献1】

特開平5-206257号公報

【0008】

【特許文献2】

特開平8-288381号公報

【0009】

【特許文献3】

特開2001-257358号公報

【0010】

【特許文献4】

特開2001-281051号公報

【0011】

【特許文献5】

特開2001-144276号公報（第23頁、第24図）

【0012】

【発明が解決しようとする課題】

しかしながら、上記従来のSON構造であると、半導体装置の微細化が困難であるという問題があった。

【0013】

すなわち、図24に示すように、SONとSTI技術とを用いた場合、その構造上、素子分離領域150は空洞110に接しないようにしなければならない。なぜなら、STI技術では、半導体基板に溝を形成し、その溝を絶縁膜で埋め込むことによって素子分離領域を形成するからである。そして、その溝が空洞110に接してしまうと、空洞110上の素子領域AA10を支持するものが失われてしまうからである。従って、空洞110と素子分離領域150との間には、図24に示す例えばd1の距離を持たせなければならない。この間隔は、場合によっては全く無駄な領域となり、素子面積を増加させる原因となる。

【0014】

更に従来構造であると、空洞110と素子分離領域150との間の領域によって、空洞110上の素子領域AA10と、半導体基板100とが電気的に接続さ

れてしまう。そのため、S O I 構造では不要であったウェル領域 160 を用いて、両者を電気的に分離する必要がある。その結果、半導体素子の隣接間隔を狭めることが困難となり、半導体装置の微細化の妨げとなっていた。

【0015】

この発明は、上記事情に鑑みてなされたもので、微細化可能な S O N 構造を有する半導体装置及びその製造方法を提供することにある。

【0016】

【課題を解決するための手段】

この発明に係る半導体装置は、半導体基板と、前記半導体基板内に形成された平板状の空洞と、前記半導体基板の表面内に、前記空洞の面内方向における端部に接するようにして形成された素子分離領域とを具備することを特徴としている。

【0017】

またこの発明に係る半導体装置は、半導体基板と、前記半導体基板内に複数形成された平板状の空洞と、隣接する前記空洞間の前記半導体基板表面内に、前記空洞に接するようにして形成された素子分離領域とを具備することを特徴としている。

【0018】

更に、この発明に係る半導体装置の製造方法は、半導体基板中に、平板状の空洞を部分的に形成する工程と、隣接する前記空洞間の前記半導体基板表面に、該空洞の面内方向端部に接するように絶縁膜を形成して、隣接する空洞上に位置する素子領域間を電気的に分離する工程と、前記素子領域上に半導体素子を形成する工程とを具備することを特徴としている。

【0019】

上記構成を有する半導体装置及び上記製造方法であると、素子分離領域が空洞に接している。従って、空洞と素子分離領域との間に無駄なスペースが存在しないので、半導体装置の微細化が実現できる。また、空洞上の領域は素子分離領域及び空洞によって囲まれているため、ウェル分離等が不要であり、半導体装置を微細化できる。

【0020】

更にこの発明に係る半導体装置は、半導体基板の第1領域上に形成された第1半導体層と、前記半導体基板の第2領域上に、空洞を介在して形成された第2半導体層と、前記第1、第2半導体層間の前記半導体基板上に、前記空洞に接するようにして形成され、前記第1、第2半導体層を電気的に分離する素子分離領域とを具備することを特徴としている。

【0021】

上記構成を有する半導体装置であると、上記効果に加えて、アナログ回路を第1領域に形成し、デジタル回路を第2領域に形成することで、各回路を最適な条件で製造することが出来る。

【0022】

【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0023】

この発明の第1の実施形態に係る半導体装置及びその製造方法について、図1(a)、(b)を用いて説明する。図1(a)は、SONを用いたMOSトランジスタの平面図、図1(b)は(a)図のX1-X1'線に沿った断面図である。

【0024】

図示するように、半導体基板10内に平板状の空洞11が形成されている。また空洞11上には、半導体層12が形成されている。半導体層12の表面（または裏面）の面積は、空洞11の上面（または底面）の面積より小さく、且つ、半導体層12は空洞11とオーバーラップしている。すなわち、空洞11上に、半導体層12が戴置されている格好となっている。半導体層12の周囲には、素子分離領域13が形成されている。この素子分離領域13は、隣接する空洞11間の半導体基板10中にも形成されており、空洞11の、半導体基板10における面内方向端部に接している。従って、空洞11上の半導体層12は、下面を空洞によって、側面を素子分離領域13によって取り囲まれており、半導体基板10

とは電気的に分離されている。なお、素子分離領域13は、半導体基板10表面から、空洞11の底面より浅く且つ空洞11の上面より深くまで達するようにして形成されている。

【0025】

半導体層12内には、ソース・ドレイン領域14、14が、互いに離隔して形成されている。そして、ソース・ドレイン領域14、14間の半導体層12上には、ゲート絶縁膜15を介在してゲート電極16が形成されている。また、ゲート電極16の側壁には、側壁絶縁膜17が形成されている。

【0026】

ゲート電極16は、所定の方向に沿って延設され、その端部では半導体層12から素子分離領域13上まで引き出されている。そして、素子分離領域13上に設けられたコンタクト領域18において、ゲート電極16に電位が与えられる。

【0027】

上記のようにして、ソース・ドレイン領域14、14、ゲート絶縁膜15及びゲート電極16を備えたMOSトランジスタが、SON構造上に形成されている。

【0028】

次に、上記半導体装置の製造方法について、図2乃至図10を用いて説明する。図2乃至図10は、半導体装置の製造工程を順次示す断面図である。

【0029】

まず図2に示すように、半導体基板（例えばシリコン基板）10上にマスク材20を形成する。引き続き、マスク材20上に、レジスト21を塗布する。そして、リソグラフィ技術によりレジスト21を図示するようにパターニングする。

【0030】

次に図3に示すように、RIE (Reactive Ion Etching) 等の異方性エッティングにより、マスク材20をエッティングして、マスク材20にフォトレジストパターンを転写する。

【0031】

次に、レジスト21を灰化して除去する。その後図4に示すように、パターニ

ングされたマスク材20をマスクに用いて、半導体基板10をRIEによりエッチングし、図示するような複数のトレンチ22を形成する。従って、マスク材20は、異方性エッチング時にシリコン基板10とのエッチングレート差が大きい材料が好ましく、例えばシリコン酸化膜や、シリコン酸化膜とシリコン窒化膜の積層膜等が用いられる。また、これらのトレンチ22は、空洞11の形成予定領域に形成される。トレンチ22の半径は、例えば0.2μm、深さは2μm、隣接するトレンチ間距離は0.7μm程度である。トレンチ22の半径をR、隣接するトレンチ間距離をDとすれば、D<3.5Rを満たすようにしてトレンチ22を形成することで、空洞11は形成可能である。

【0032】

次に、マスク材20を除去する。そして、減圧下における非酸化性雰囲気中、例えば温度1100°C、圧力10Torrの状態下における100%水素雰囲気中での高温アニールを行う。すると図5に示すように、トレンチ21の開口面が閉ざされて空洞23が形成される。更にアニールを続けることで、図6に示すように、空洞23同士が一体化し、その結果、平板状の空洞11が形成される。これは、シリコン基板10表面のシリコン酸化膜（マスク材20）が除去された後、表面エネルギーを最小にするように生じるシリコンの表面マイグレーションによるものである。

【0033】

次に、LOCOS (Local Oxidation of Silicon) 法を用いて素子分離領域13を形成する。すなわち図7に示すように、まず半導体基板10上に、マスク材となる例えばシリコン酸化膜24及びシリコン窒化膜25を、CVD (Chemical Vapor Deposition) 法等により形成する。引き続き、シリコン窒化膜25上にレジスト26を塗布する。そして、リソグラフィ技術によりレジスト26を図示するようにパターニングする。すなわち、素子分離領域13の形成予定領域におけるレジスト26を除去する。素子分離領域13形成予定領域とは、隣接する空洞11間の領域であり、且つ、半導体基板10における空洞11上を取り囲む領域である。

【0034】

次に図8に示すように、RIE法等の異方性エッティングによりシリコン窒化膜25及びシリコン酸化膜24を順次エッティングして、シリコン酸化膜24及びシリコン窒化膜25に、フォトレジストパターンを転写する。その後、レジスト26を灰化して除去する。

【0035】

次に図9に示すように、例えばウェット酸化法等により、シリコン酸化膜24及びシリコン窒化膜25によって露出された半導体基板10表面を酸化する。その結果、半導体基板10が酸化されて得られたシリコン酸化膜によって、素子分離領域13が形成される。なお、この際、素子分離領域13が、空洞11に達するようにする。

【0036】

次に、シリコン酸化膜24及びシリコン窒化膜25を除去する。その結果、図10に示すようなSON基板が完成する。半導体基板10における空洞上11の領域を、半導体層12と呼ぶことにする。すると、半導体層12は、空洞11と完全にオーバーラップしており、その底部の全面は空洞11に接している。また、半導体層12の側面は素子分離領域13によって取り囲まれている。従って、半導体層12は半導体基板10と電気的に分離されている。

【0037】

その後は、周知の技術により、半導体層12内にソース・ドレイン領域14、14及びゲート電極16を形成して、図1(a)、(b)に示すMOSトランジスタが完成する。

【0038】

上記のように、この発明の第1の実施形態に係る半導体装置及びその製造方法によれば、隣接する空洞11間に素子分離領域13をLOCOS法を用いて形成している。従って、STI技術を用いる場合と異なり、素子分離領域13を空洞11に接するように形成することが出来る。すなわち、従来のように、空洞11と素子分離領域13との間に無駄なスペースを持たせる必要が無い。換言すれば、素子分離領域13によって半導体層12は支持されている。更に、半導体層12の下部は全て空洞11となっている。そのため、空洞11と素子分離領域13

によって、半導体層12を半導体基板10から電気的に分離できるので、従来のようにウェル分離を行う必要がない。従って、半導体素子の占有面積が削減でき、半導体装置の更なる微細化が可能となる。ひいては半導体装置の製造コストが削減される。

【0039】

また、半導体層12を、1つの素子領域AAとすれば、素子領域AAと空洞11とを、1対1対応で形成できる。すなわち、空洞11の横幅はほぼ素子領域AAと同程度であり、比較的小さいサイズで十分である。従って、半導体装置の製造工程を簡単化出来ると共に、製造歩留まりを向上できる。なお、本実施形態では、1つの素子領域AA（半導体層12）には1つのMOSトランジスタが形成される場合を例に挙げて示した。しかし、電気的に接続された複数の半導体素子が1つの素子領域AA内に形成されていても構わない。

【0040】

この発明の第2の実施形態に係る半導体装置及びその製造方法について、図11（a）、（b）を用いて説明する。図11（a）は、SONを用いたMOSトランジスタの平面図、図11（b）は（a）図のX2-X2'線に沿った断面図である。

【0041】

図示するように、本実施形態に係る半導体装置は、空洞11が形成されたSON領域と、空洞11の形成されないバルク領域とを備えている。SON領域の構造は、上記第1の実施形態と同様であるので説明は省略する。

【0042】

バルク領域においては、半導体基板10表面にウェル領域30が形成されている。このウェル領域30の表面に、ソース・ドレイン領域31、31が互いに離隔して形成されている。そして、ソース・ドレイン領域31、31間のウェル領域30上に、ゲート絶縁膜32を介在してゲート電極33が形成されている。また、ゲート電極33の側壁には、側壁絶縁膜34が形成されている。

【0043】

上記のようにして形成されたバルク領域内のMOSトランジスタは、素子分離

領域13及び素子分離領域35によって周囲を取り囲まれている。ゲート電極33は、所定の方向に沿って延設され、その端部ではウェル領域30上から素子分離領域35上まで引き出されている。そして、素子分離領域35上に設けられたコンタクト領域36において、ゲート電極33に電位が与えられる。

【0044】

次に、上記半導体装置の製造方法について、図12乃至図16を用いて説明する。図12乃至図16は、半導体装置の製造工程を順次示す断面図である。

【0045】

まず、第1の実施形態で説明した工程に従って、半導体基板（例えばシリコン基板）10におけるSON領域に、空洞11及び素子分離領域13を形成する。すなわち図12に示すように、まず半導体基板10のSON領域に、トレンチ21を形成する。これらのトレンチ21は、空洞11の形成予定領域に形成される。

【0046】

次に、図13に示すように、マスク材20を除去し、非酸化性雰囲気中で高温アニールを行う。その結果、図示するような平板状の空洞11が、SON領域内に形成される。

【0047】

引き続き図14に示すように、SON領域にLOCOS法を用いて素子分離領域13を形成する。勿論、素子分離領域13は、空洞11の面内方向端部に接するようにして形成される。

【0048】

次に、半導体基板10のバルク領域内に、STI技術により素子分離領域35を形成する。すなわち、まず半導体基板10上に、マスク材40をCVD法等により形成する。マスク材40は、例えばシリコン酸化膜やシリコン窒化膜である。そして、リソグラフィ技術とRIEとによりマスク材40をパターニングして、素子分離領域35形成予定領域のマスク材40を除去する。更に、パターニングされたマスク材40をマスクに用いて半導体基板10をエッチングし、バルク領域の半導体基板10に図15に示すようなトレンチ41を形成する。

【0049】

次に、トレンチ41内をシリコン酸化膜等の絶縁膜で埋め込んだ後、マスク材40を除去し、素子分離領域35を形成する。その結果、図16に示すような、SON領域とバルク領域とが同一基板内に存在する構造が完成する。

【0050】

その後は、イオン注入法等によりバルク領域内にウェル領域30を形成する。更に、周知の方法により、SON領域及びバルク領域内に、それぞれMOSトランジスタを形成して、図11(a)、(b)に示す構造が完成する。

【0051】

上記のように、この発明の第2の実施形態に係る半導体装置及びその製造方法によれば、SON領域内の素子分離領域13をLOCOS法により形成しており、上記第1の実施形態と同様の効果が得られる。

【0052】

また、本実施形態に係る構造では、空洞11を設けたSON領域と、空洞11を設けないバルク領域とを、同一半導体基板内に形成している。この点に付き以下説明する。

【0053】

システムLSIにおいては、SONの使用の良否は回路毎に異なる。これはSONが本来的に有する基板浮遊効果の為である。すなわち、空洞11上の半導体層12は、半導体基板10と電気的に絶縁されているため、半導体層12の電位はフローティングである。すると、デジタル動作を行う半導体素子は、空洞11上の半導体層12に形成されることが望ましい。他方、アナログ動作を行う半導体素子は、電位の安定しない半導体層12上に形成されることは望ましくない。

【0054】

本実施形態によれば、同一半導体基板上において、SON(半導体層12)上のMOSトランジスタと半導体基板10上のMOSトランジスタとを、半導体素子の特性によって使い分けることが出来る。従って、システムLSIの高速・高性能化が実現できる。

【0055】

なお、同一半導体基板10内にSON領域とバルク領域とを形成する方法は、上記図12乃至図16に示す方法に限られるものではない。図17乃至図19は、本実施形態の変形例に係る半導体装置の製造方法を順次示す断面図である。

【0056】

すなわち、図17に示すように、まずバルク領域内に素子分離領域35をSTI技術により形成する。次に図18に示すように、SON領域内に平板状の空洞11を形成する。その後図19に示すように、SON領域内に、空洞11に接する素子分離領域13を形成しても良い。

【0057】

次に、この発明の第3の実施形態に係る半導体装置について、図20を用いて説明する。本実施形態は、上記第2の実施形態を、DRAM混載型システムLSIに適用したものであり、図20は、DRAM混載型システムLSIの平面図である。

【0058】

図示するように、バルク領域にはDRAMセルアレイが設けられ、SON領域にはロジック回路が設けられている。そして、SON領域と接するバルク領域（以下境界領域と呼ぶ）に、DRAMセルのダミーパターンが設けられている。

【0059】

バルク領域中には複数の素子領域AA1が千鳥状に配置されている。図20において斜線の付された領域が素子領域AA1を示している。素子領域AA1以外の領域には素子分離領域が設けられている。素子領域は、長手方向が4F（F：最小加工寸法）、長手方向に直交する方向が2Fの幅で形成されている。DRAMセルアレイは、素子領域AA1内に設けられたセルトランジスタと、素子領域AA1の長手方向の両端部に接するようにして設けられたトレンチ型のセルキャピシタTCとを有するメモリセルを複数備えている。そして、同一列に位置するメモリセルにビット線コンタクトプラグBCを介して電気的に接続された複数のビット線BLが、素子領域AA1の長手方向に沿って設けられている。更に、同一行のセルトランジスタのゲート電極に電気的に接続された複数のワード線WL

が、素子領域AA1の長手方向に直交する方向に沿って設けられている。

【0060】

境界領域には、DRAMセルと同様のパターンの素子領域AA1が形成されている。この素子領域はDRAMセルの形成には使用されないダミーパターンである。DRAM等では、膨大な数のメモリセルが規則性を持ってアレイ状に配置されている。しかし、DRAMセルアレイ端部ではその規則性が崩れる。すると、DRAMセルアレイ端部におけるリソグラフィ条件やエッチング条件に変動が起り易くなり、メモリセルとしての信頼性の維持が困難となる。そのため、DRAMセルアレイの外部に、DRAMセルアレイと同一パターンのダミーパターンを形成することにより、DRAMセルアレイ内のメモリセルの信頼性を維持する手法が広く用いられている。本実施形態では、このダミーパターンを、バルク領域とSON領域との境界領域に設けている。

【0061】

SON領域中にはロジック回路が設けられる。ロジック回路の構成については省略する。

【0062】

次に図20に示すシステムLSIの断面構造について、図21を用いて説明する。図21は、図20におけるX3-X3'線方向に沿った断面図である。まずバルク領域内のDRAMセルアレイの構造について説明する。

【0063】

p型シリコン基板50中には、トレンチキャパシタTC形成用のトレンチ51が設けられている。このトレンチ51の上部を除いた内周面上にはキャパシタ絶縁膜52が設けられている。更にトレンチ51の上部を除いた内周面上で、且つキャパシタ絶縁膜52よりも上部には、キャパシタ絶縁膜52よりも膜厚の大きいカラー酸化膜53が設けられている。また、トレンチ51内にはストレージノード電極54がトレンチ51内部を途中まで埋め込むようにして設けられ、ストレージノード電極54上に更に導電体層55が設けられている。また、トレンチ51内の開口近傍に低抵抗の導電体層56が更に設けられている。そして、シリコン基板50中にキャパシタ絶縁膜52と接するようにしてn⁺型不純物拡散層

57が設けられている。このn⁺型不純物拡散層57はプレート電極として機能する。更にシリコン基板50中には、複数のn⁺型不純物拡散層57と共に接続されたn型ウェル領域58が設けられている。以上のようにして、トレンチ型のセルキャパシタTCが形成されている。

【0064】

シリコン基板50上には、ゲート絶縁膜32を介在してゲート電極33が設けられており、絶縁膜34がゲート電極33を取り囲むようにして設けられている。また、シリコン基板50表面内にn⁺型ソース・ドレイン領域31、31が設けられることによりセルトランジスタが形成されている。そして、セルトランジスタのソース領域31とセルキャパシタTCの導電体層56とが電気的に接続されている。以上のようなセルトランジスタとセルキャパシタとを含むDRAMセルが、DRAMセルアレイ内に複数設けられている。またDRAMセルは、素子分離領域35によって電気的に互いに分離された素子領域AA1内に2個づつ配置され、ドレイン領域31を共有している。なお、上記第2の実施形態で説明したように、バルク領域中の素子分離領域35は、STI技術によって形成される。

【0065】

そして、上記DRAMセルを被覆するようにして、シリコン基板50上に層間絶縁膜60が設けられている。層間絶縁膜60内には、層間絶縁膜60表面からドレイン領域31に達するビット線コンタクトプラグBCが設けられている。そして層間絶縁膜60上に、ビット線コンタクトプラグBCと電気的に接続されたビット線BLが設けられている。

【0066】

境界領域、すなわちSON領域と接するバルク領域には、DRAMセルと同様のパターンの素子領域AA1が形成されているのみであり、半導体素子は形成されていない。但し、セルトランジスタのn⁺型不純物拡散層57と接続されるn型ウェル領域61が、シリコン基板50の表面に達するように形成されている。この領域において、n型ウェル領域61にプレート電位が与えられる。

【0067】

S O N領域においては、上記第1、第2の実施形態で説明したように、半導体基板50の表面内に空洞11が形成されている。そして、空洞11上の半導体層12は、素子分離領域13によって取り囲まれている。勿論、素子分離領域13は、半導体基板50をLOCOS法によって酸化して形成したシリコン酸化膜であり、半導体層12は半導体基板50の一部である。半導体層12中には、ソース・ドレイン領域14、14が形成され、半導体層12上にはゲート絶縁膜15を介在してゲート電極16が形成されている。更に、ゲート電極の周囲を取り囲むようにして絶縁膜17が形成され、半導体基板50上には層間絶縁膜60が形成されている。

【0068】

そして上記DRAMセルアレイ、ダミーパターン、及びロジック回路を層間絶縁膜62が被覆している。

【0069】

上記のように、この発明の第3の実施形態に係る半導体装置によれば、リーグ電流や閾値電圧に対して高度の制御性を求める回路、例えばDRAMセルアレイやセンスアンプ等をバルク領域内に形成し、デジタル動作を行うロジック回路等をSON領域に形成している。従って、DRAMセルアレイやセンスアンプ、並びにロジック回路を、最適な条件下で動作させることが出来る。よって、システムLSIの高速化・高性能化が実現される。

【0070】

なお、本実施形態では境界領域には素子領域AA1を設けるのみであったが、更にトレンチキャパシタを形成しても良い。勿論、ダミーのメモリセルを形成しても良い。また、DRAM混載のシステムLSIに限らず、例えばSRAM(Static RAM)やフラッシュメモリ、Ferroelectric RAM、MRAM(Magnetoresistive RAM)等を有するシステムLSIであっても良い。また、本実施形態は半導体記憶装置を有するLSIに限られず、ロジック回路及びデジタル回路が混載された半導体装置であれば、広く一般に適用できる。

【0071】

上記のように、この発明の第1乃至第3の実施形態に係る半導体装置及びその

製造方法によれば、SON構造における空洞間の素子分離領域を、LOCOS法によって形成している。また、素子分離領域は、空洞の面内方向端部に接するよう形成される。従って、空洞と素子分離領域との間に無駄なスペースを必要とせず、またウェル分離等も必要としないので、半導体装置の微細化が可能となる。また、空洞のサイズはほぼ素子領域と同じで済むため、製造が容易となり、半導体装置の製造歩留まりが向上される。更に、デジタル動作を行う回路に対してはSON構造を使用し、アナログ動作を行う回路に対してはバルクシリコンを使用することで、各回路が最適な条件下で動作出来る。その結果、システムLSIの高速化・高性能化が実現できる。

【0072】

なお、SON上のMOSトランジスタについて図22を用いて説明する。図22は、SON構造の断面図である。図示するように、最小加工寸法が0.1μmの世代のMOSトランジスタでは、半導体層12(素子領域AA)の幅W1は、約5000~6000Å程度である。また、その厚さd2は、~500Å程度である。なお、SON上のMOSトランジスタでは、半導体層12が薄いほどショートチャネル効果を防止できることが知られている。特に、ゲート長の1/4以下にすることが望ましい。

【0073】

半導体層12の膜厚は、図23に示すように、空洞11を形成するためのトレンチ22の開口幅によってほぼ決定される。すなわち、トレンチ22の開口幅をa1とすると、その後のアニールによって形成される半導体層12の膜厚もほぼa1となる。従って、半導体層12の膜厚d2を500Åにしたい場合には、トレンチ22の開口幅a1を500Åにすれば良い。

【0074】

このように、空洞11上の半導体層12の膜厚は非常に小さい。従って、素子分離領域13の深さも浅くて済む。すなわち、半導体層12とほぼ同程度の膜厚で済む。そのため、素子分離領域13をLOCOS法で形成したとしても、バーアビーグは殆ど問題にならず、半導体装置の微細化が妨げられるものではない。

【0075】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【0076】

【発明の効果】

以上説明したように、この発明によれば、微細化可能なSON構造を有する半導体装置及びその製造方法を提供出来る。

【図面の簡単な説明】

【図1】

この発明の第1の実施形態に係る半導体装置を示しており、(a)図は平面図、(b)図は(a)図におけるX1-X1'線に沿った断面図。

【図2】

この発明の第1の実施形態に係る半導体装置の第1の製造工程の断面図。

【図3】

この発明の第1の実施形態に係る半導体装置の第2の製造工程の断面図。

【図4】

この発明の第1の実施形態に係る半導体装置の第3の製造工程の断面図。

【図5】

この発明の第1の実施形態に係る半導体装置の第4の製造工程の断面図。

【図6】

この発明の第1の実施形態に係る半導体装置の第5の製造工程の断面図。

【図7】

この発明の第1の実施形態に係る半導体装置の第6の製造工程の断面図。

【図8】

この発明の第1の実施形態に係る半導体装置の第7の製造工程の断面図。

【図9】

この発明の第1の実施形態に係る半導体装置の第8の製造工程の断面図。

【図10】

この発明の第1の実施形態に係る半導体装置の第9の製造工程の断面図。

【図11】

この発明の第2の実施形態に係る半導体装置を示しており、(a)図は平面図、(b)図は(a)図におけるX2-X2'線に沿った断面図。

【図12】

この発明の第2の実施形態に係る半導体装置の第1の製造工程の断面図。

【図13】

この発明の第2の実施形態に係る半導体装置の第2の製造工程の断面図。

【図14】

この発明の第2の実施形態に係る半導体装置の第3の製造工程の断面図。

【図15】

この発明の第2の実施形態に係る半導体装置の第4の製造工程の断面図。

【図16】

この発明の第2の実施形態に係る半導体装置の第5の製造工程の断面図。

【図17】

この発明の第2の実施形態の変形例に係る半導体装置の第1の製造工程の断面図。

【図18】

この発明の第2の実施形態の変形例に係る半導体装置の第2の製造工程の断面図。

【図19】

この発明の第2の実施形態の変形例に係る半導体装置の第3の製造工程の断面図。

【図20】

この発明の第3の実施形態に係る半導体装置の平面図。

【図21】

図20におけるX3-X3'線に沿った断面図。

【図22】

この発明の第1乃至第3の実施形態に係る半導体装置の一部断面図。

【図23】

この発明の第1乃至第3の実施形態に係る半導体装置の製造方法の一部工程の断面図。

【図24】

従来の半導体装置の断面図。

【符号の説明】

10、50、100…半導体基板

11、23、110…空洞

12…半導体層

13、35、150…素子分離領域

14、31、120…ソース・ドレイン領域

15、32、130…ゲート絶縁膜

16、33、140…ゲート電極

17、34、170…側壁絶縁膜

18、36…コンタクト領域

20、24、25…マスク材

21、26…レジスト

22、51…トレンチ

30、160…ウェル領域

52…キャパシタ絶縁膜

53…絶縁膜

54…ストレージノード電極

55、56…導電膜

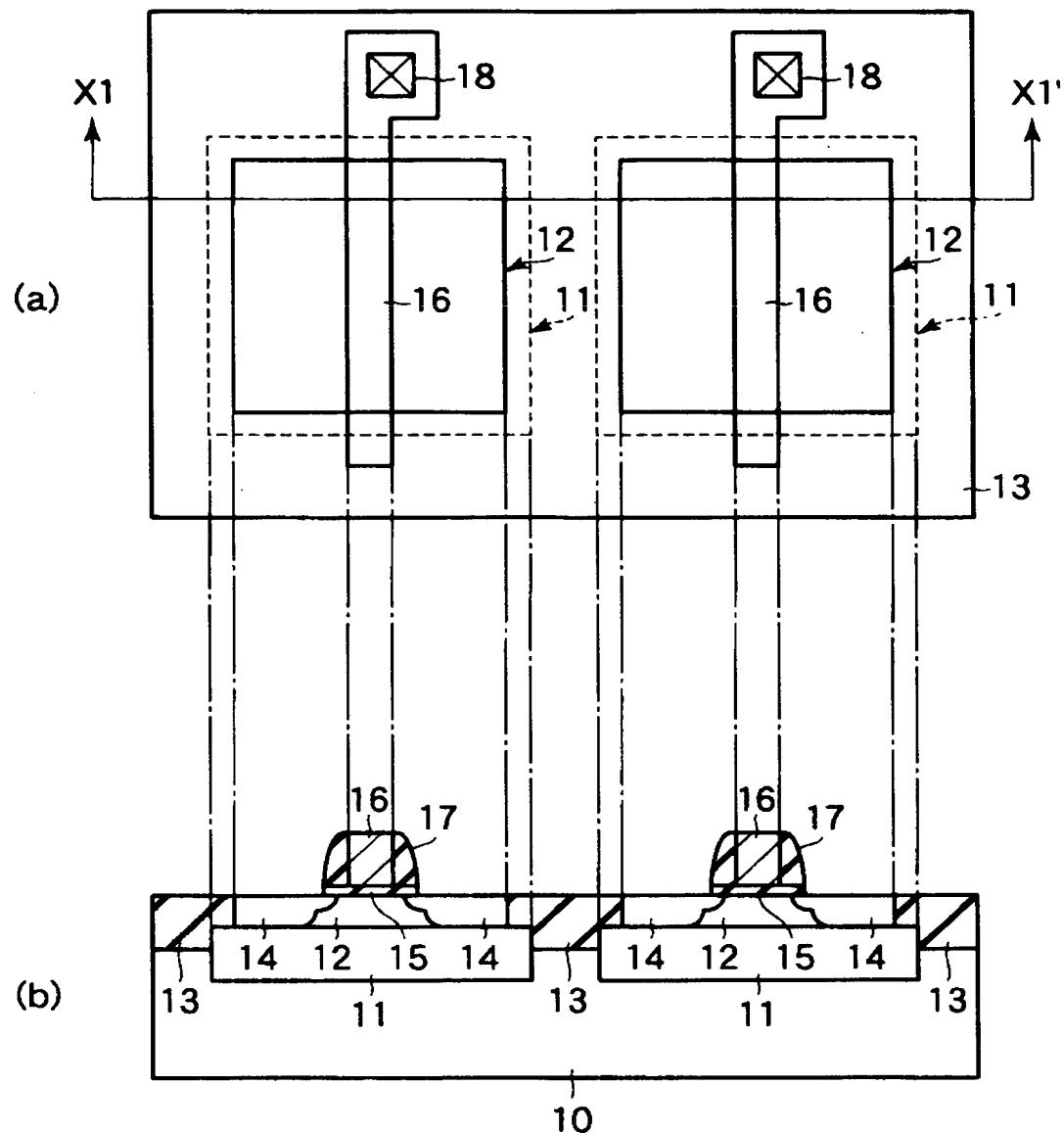
57…プレート電極

58、61…不純物拡散層

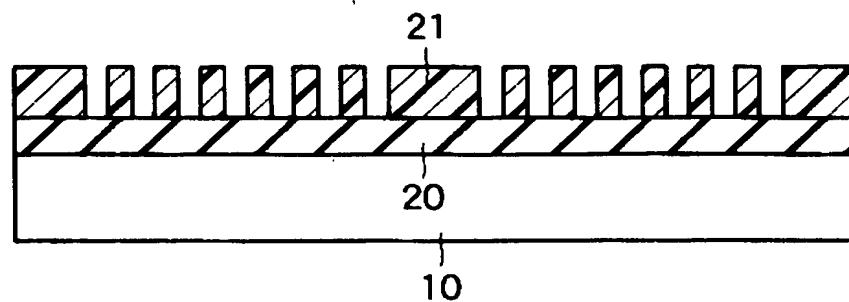
60、62…層間絶縁膜

【書類名】 図面

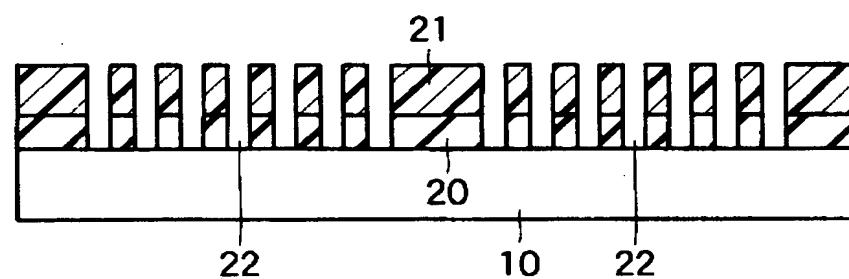
【図1】



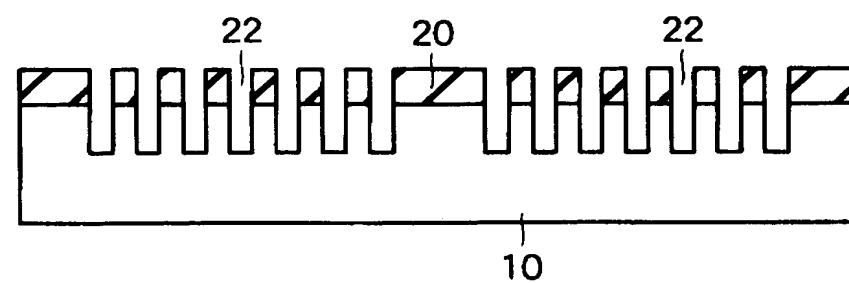
【図2】



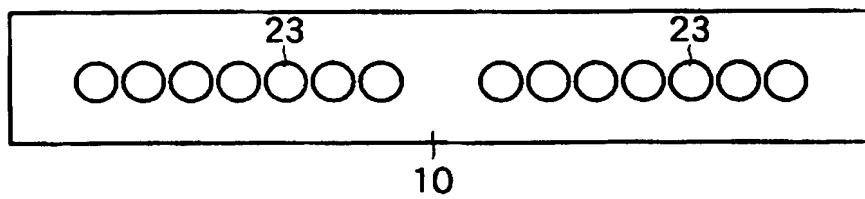
【図3】



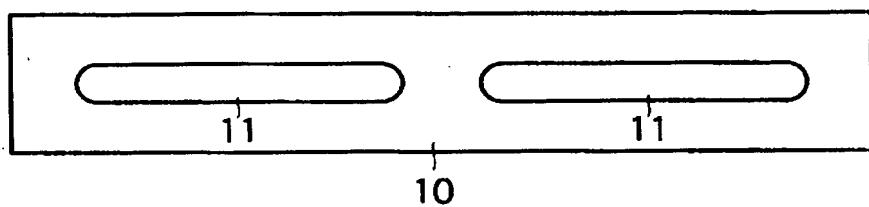
【図4】



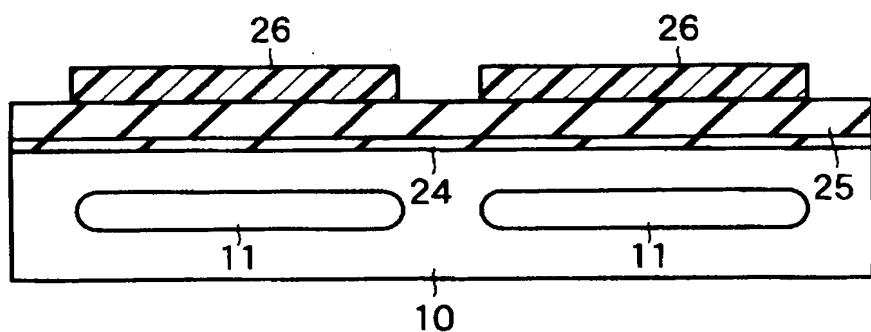
【図5】



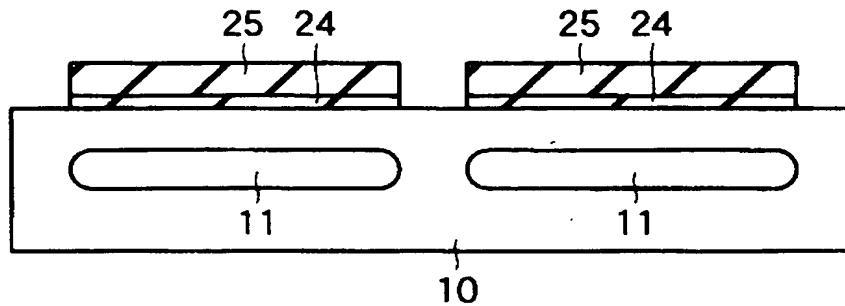
【図6】



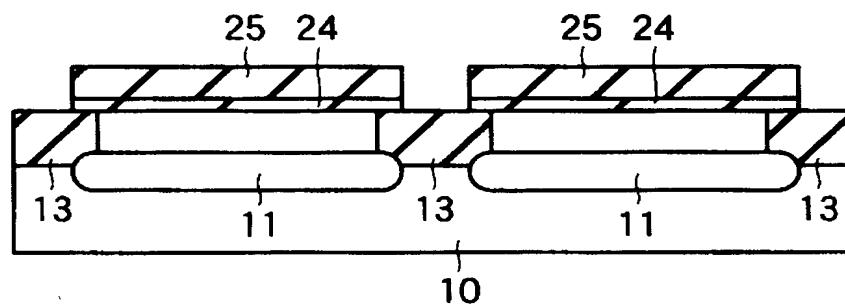
【図7】



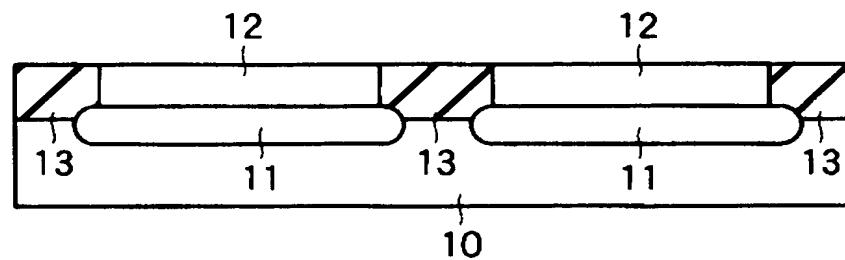
【図8】



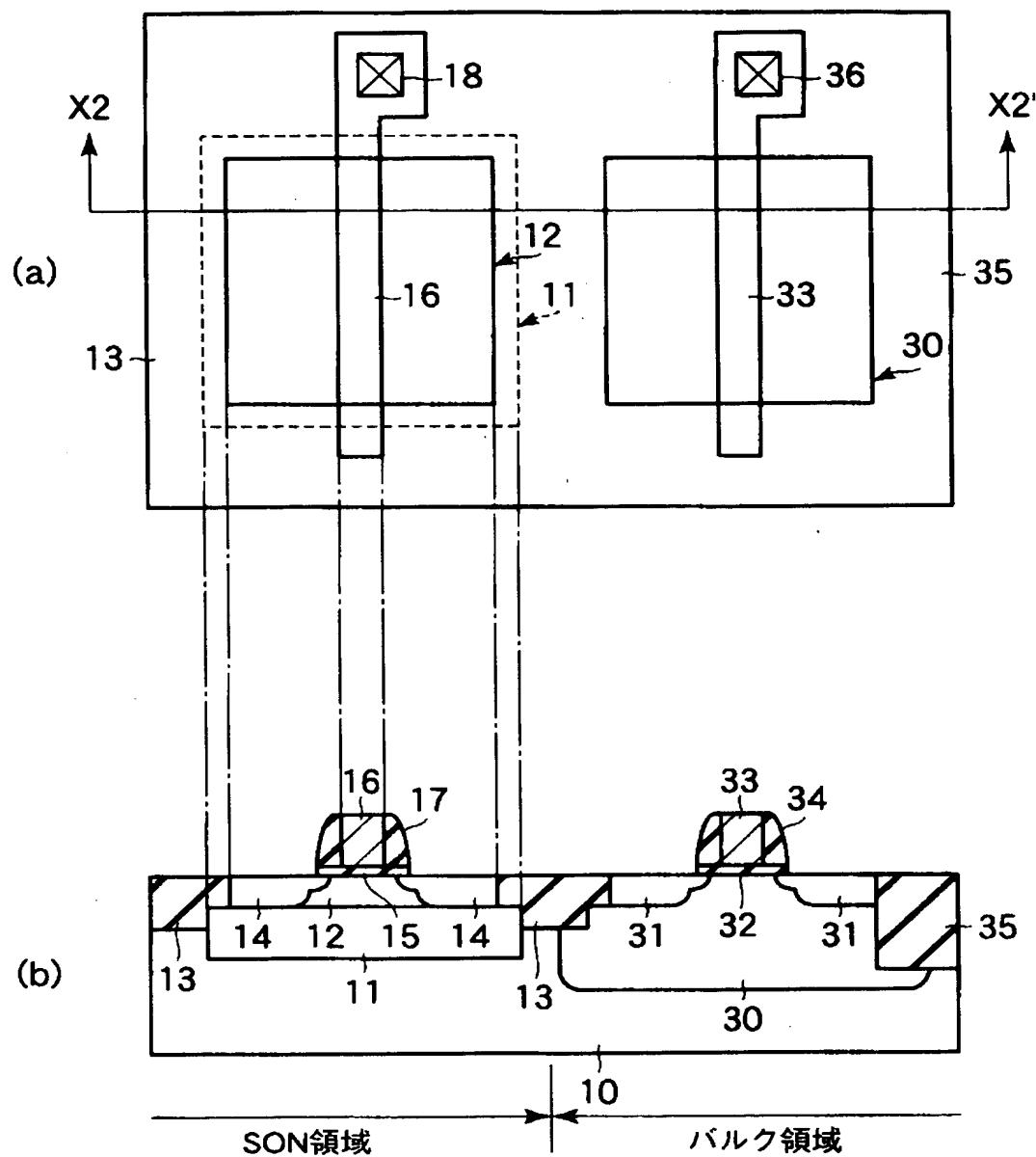
【図9】



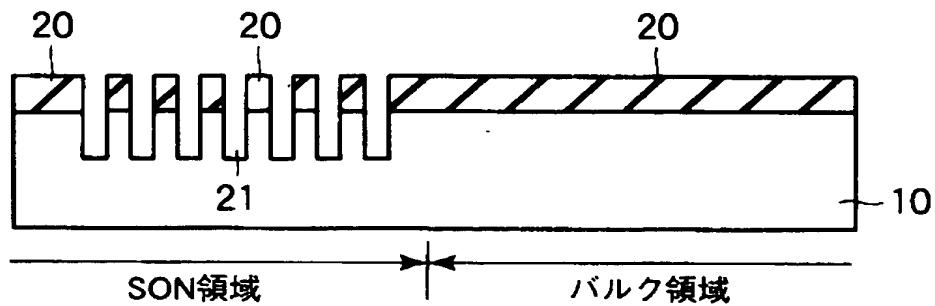
【図10】



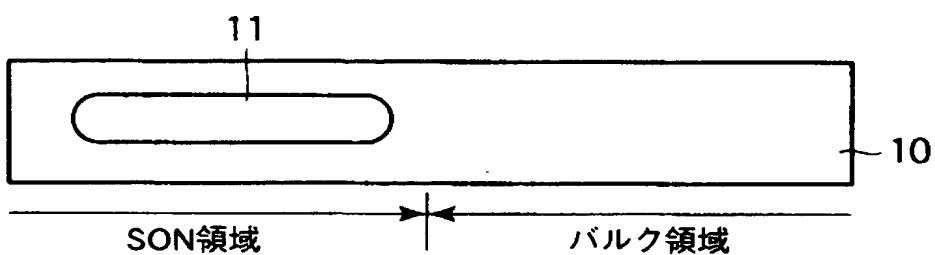
【図11】



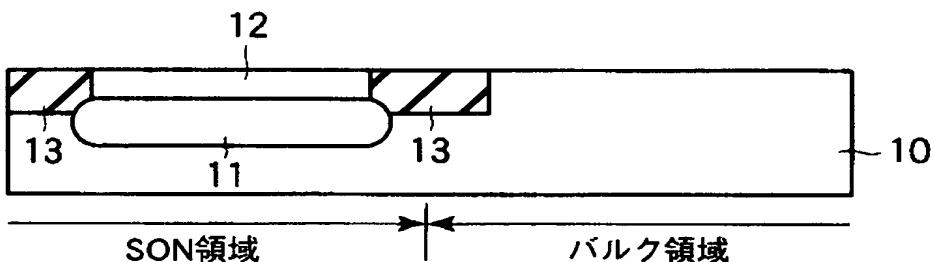
【図12】



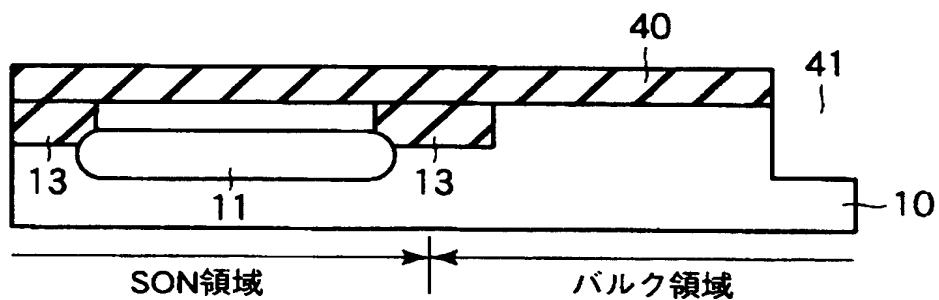
【図13】



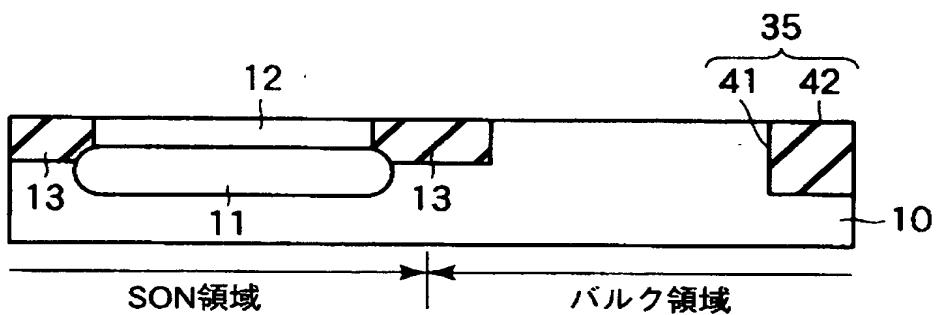
【図14】



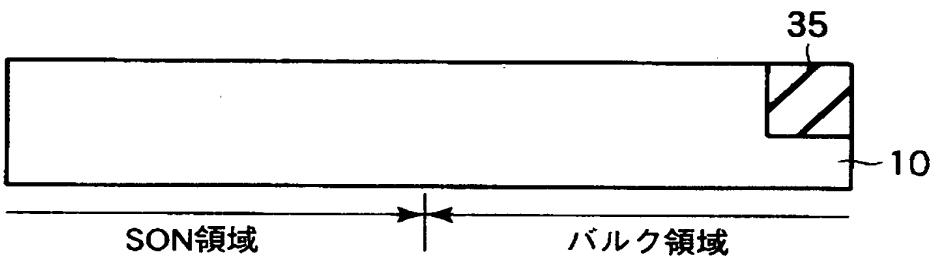
【図15】



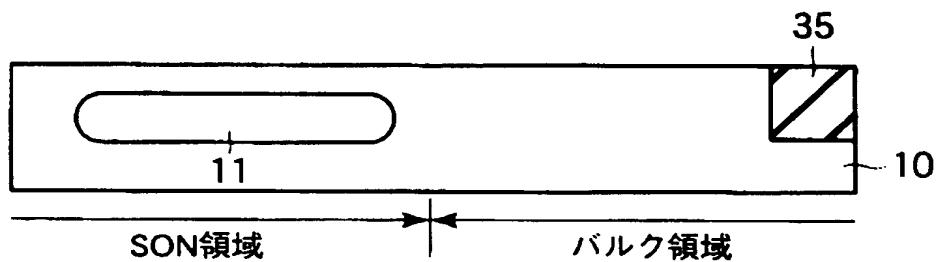
【図16】



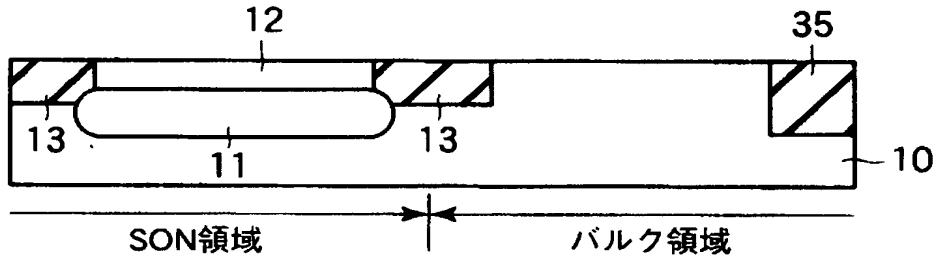
【図17】



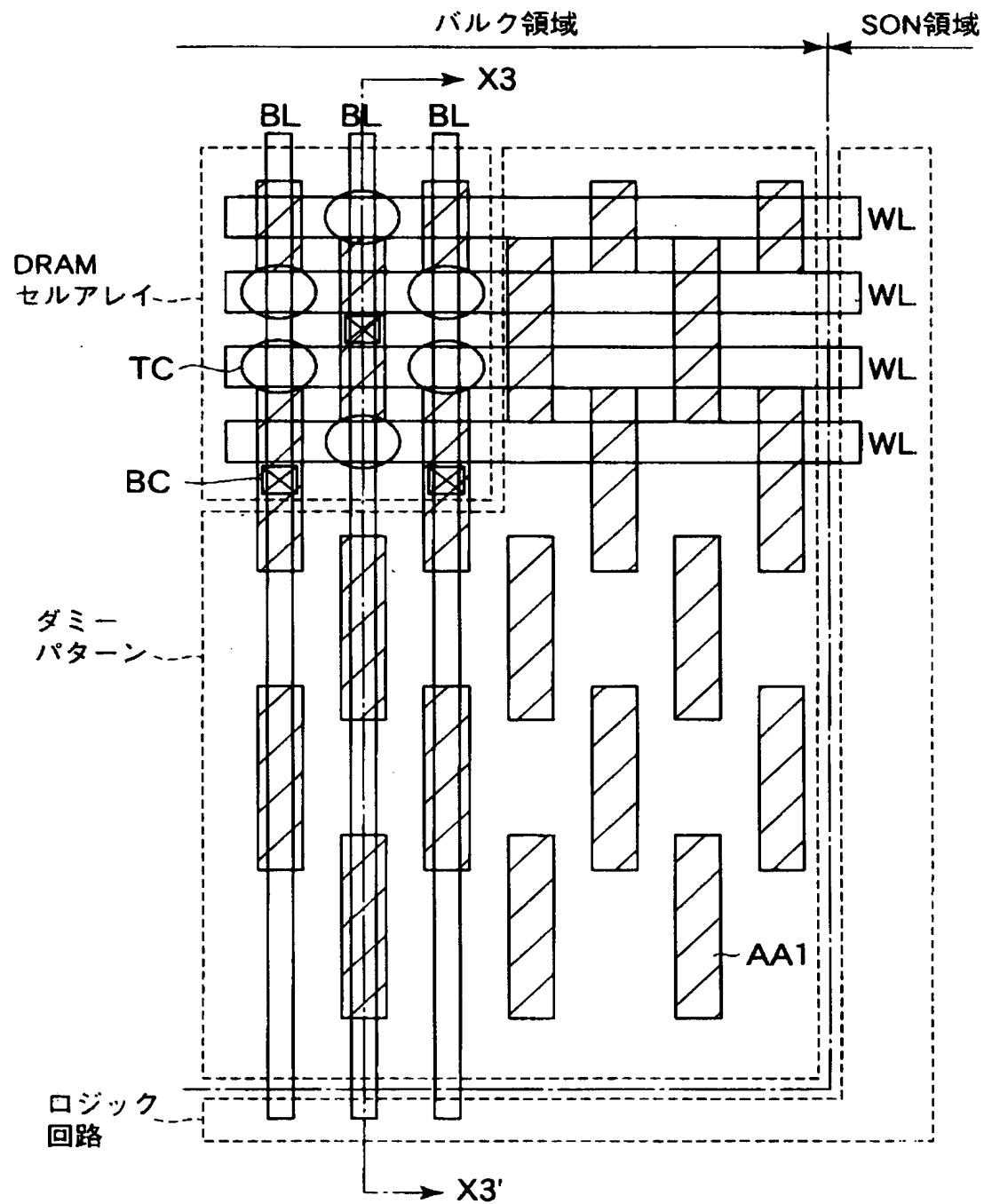
【図18】



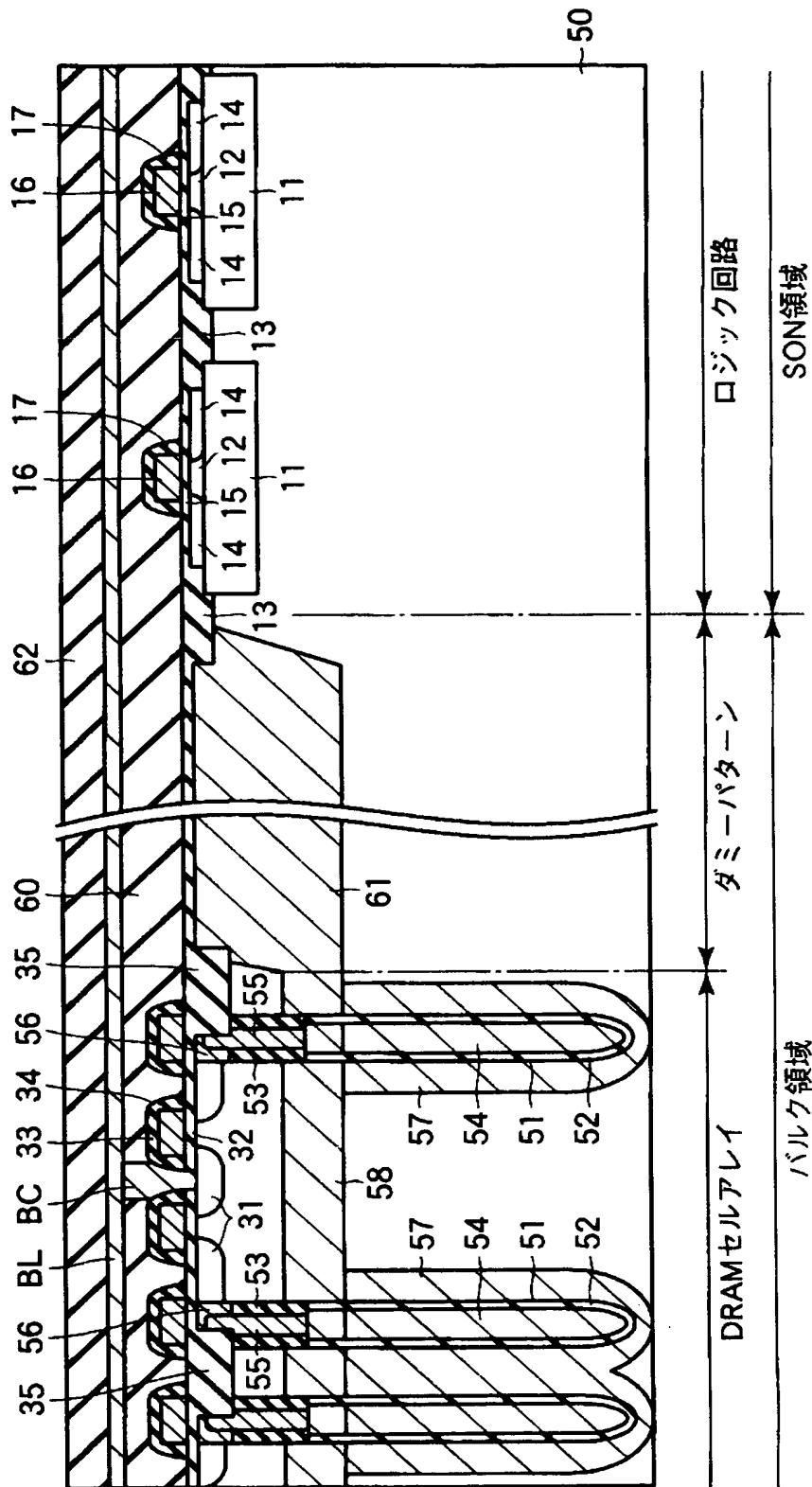
【図19】



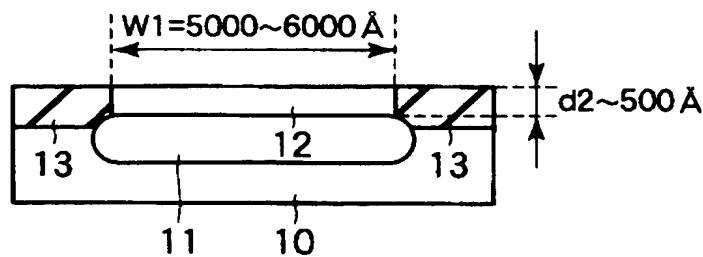
【図20】



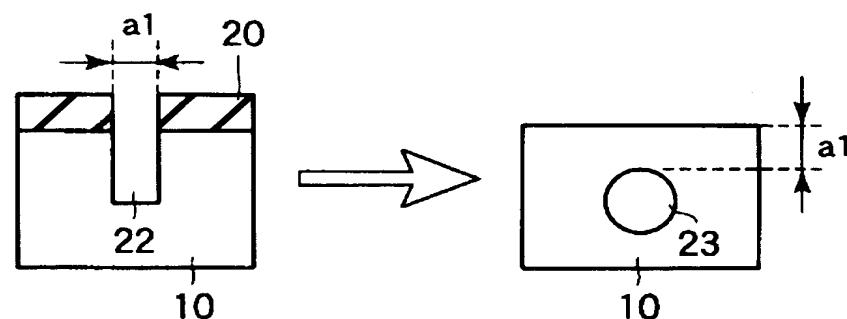
【図21】



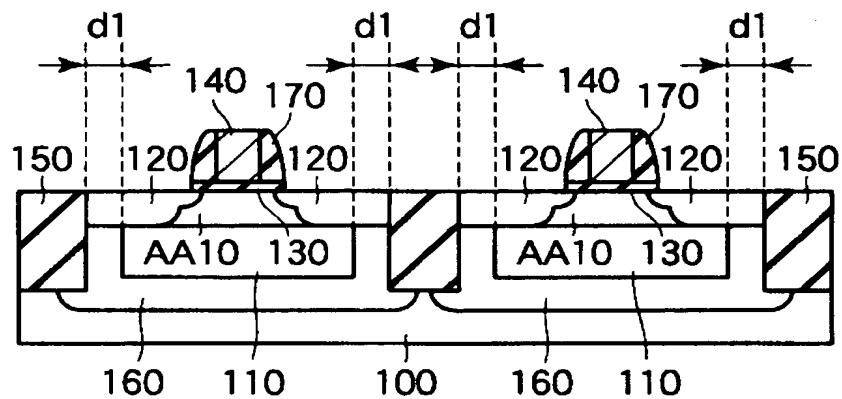
【図22】



【図23】



【図24】



【書類名】 要約書

【要約】

【課題】 微細化可能なS O N構造を有する半導体装置及びその製造方法を提供すること。

【解決手段】 半導体基板10と、前記半導体基板10内に形成された平板状の空洞11と、前記半導体基板10の表面内に、前記空洞11の面内方向における端部に接するようにして形成された素子分離領域12とを具備することを特徴としている。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住所 東京都港区芝浦一丁目1番1号

氏名 株式会社東芝